

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-248432

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

G02F 1/1345

(21)Application number : 07-072481

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 07.03.1995

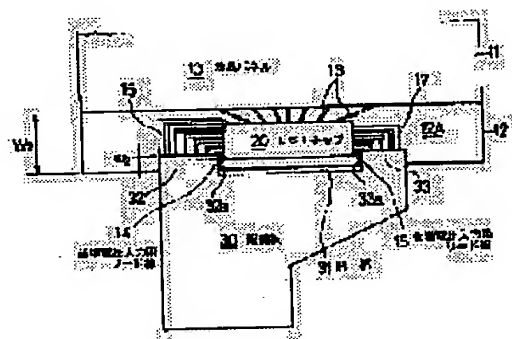
(72)Inventor : NAKAJIMA HIDEKI

(54) PACKAGING STRUCTURE OF DISPLAY PANEL

(57)Abstract:

PURPOSE: To provide a packaging structure of a display panel capable of preventing an increase in the size of apparatus by reducing the packaging space of several kinds of electronic parts, such as ICs, LSI chips and flexible printed wiring boards, to a min. required space and is capable of enhancing apparatus performance by lowering power supply voltage and both resistances across wirings of driving input signals.

CONSTITUTION: This packaging structure is composed of a display panel which consists of a liquid crystal panel 10, etc., a semiconductor chip which is packaged in a packaging part 12A and consists of the LSI chip 20 for driving the liquid crystal panel 10, etc., and a wiring board, such as flexible printed wiring board 30 which has a recessed part 31 capable of detaining and holding a part of this LSI chip 20 therein at its front part, is mounted at the packaging part 12A by press bonding both ends of this recessed part 31 and is connected via respective wirings for input of the power supply voltage and driving input signals to the LSI chip 20 of the part detained to the recessed part 31 at the shortest distance. The layout space of the packaging part 12A is substantially reduced by the shortened distance between the LSI chip 20 and the flexible printed wiring board. The LSI chip 20 arranged with the terminals to a U shape on three sides is used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-248432

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl.⁶

G 0 2 F 1/1345

識別記号

庁内整理番号

F I

G 0 2 F 1/1345

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平7-72481

(22) 出願日 平成7年(1995)3月7日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 中島 英樹

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

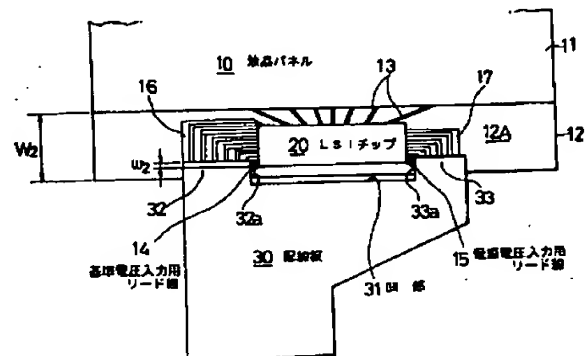
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 表示パネルの実装構造

(57) 【要約】

【目的】 IC、LSIチップやフレキシブルプリント配線板など数種の電子部品の実装スペースの必要最小限に抑えることで機器の大型化を防ぎ、電源電圧と駆動入力信号の両配線抵抗を低減させて機器性能を高めることができる表示パネルの実装構造を提供する。

【構成】 液晶パネル10等による表示パネルと、実装部12Aに搭載されて液晶パネル10を駆動させるLSIチップ20等による半導体チップと、LSIチップ20の一部に係入して抱き込み可能な凹部31を前部に有し、この凹部31の両端部を圧着して実装部12Aに搭載されると共に、凹部31に係入した部分のLSIチップ20に最短距離で電源電圧および駆動入力信号の各入力用配線を介して接続されたフレキシブルプリント配線板30等のごとき配線板と、から構成され、LSIチップ20およびフレキシブルプリント配線板20間の距離短縮によって実装部12Aのレイアウトスペースが実質縮減させ、またLSIチップ20には端子を三方コ字形配列したものを用いている。



【特許請求の範囲】

【請求項 1】 上下一対の基板からなる表示パネルと、電源電圧と駆動入力信号から表示駆動信号を生成して、前記表示パネルに出力することによって表示駆動する矩形の半導体チップと、前記表示パネルと前記半導体チップを搭載する基板と、前記半導体チップに前記電源電圧と前記駆動入力信号を供給する配線板と、を備えた表示パネルの実装構造であって、

前記半導体チップは、前記基板の側縁部に面した側は端子部を有せず、他の 3 辺は端子部を有し、前記配線板の前記基板との接合部は凹部を形成するとともに、前記半導体チップの形状の少なくとも一部は前記凹部内に入り込むように配置され、前記半導体チップの電源端子は前記配線板の両側面のいずれかの位置に設けて前記配線板と配線することを特徴とする表示パネルの実装構造。

【請求項 2】 前記 3 辺に端子部が配列された前記半導体チップの相対向する 2 辺のそれぞれの端子部に対し、前記配線板から前記電源電圧と前記駆動入力信号が供給され、前記半導体チップは少なくとも前記端子部に配列しない辺に相対向する側に配列された端子部から、前記表示パネルへ前記表示駆動信号を出力することを特徴とする請求項 1 記載の表示パネルの実装構造。

【請求項 3】 前記表示パネルは液晶パネルであり、かつ前記配線板はフレキシブルプリント配線板であって、前記液晶パネルの上基板よりも大きくした部分に、前記半導体チップおよび前記フレキシブルプリント配線板を搭載したことを特徴とする請求項 1 または 2 記載の表示パネルの実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、IC や LSI 半導体チップ等の電子部品を機器に搭載する実装構造に関する。

【0002】

【従来の技術】 液晶表示装置 (LCD) 等の電子機器では、フィルムキャリアを利用して電子機器の端子にボンディングする TAB (Tape Automated Bonding) 技術、あるいは電子機器の端子部に直接ボンディングする COG (Chip On Glass) 技術によって IC や LSI 等の半導体チップが実装される。図 4 および図 5 は、LCD の液晶パネル 1 にフレキシブルプリント配線板 (以下、単に配線板という) 5 を熱圧着して導電接続し、液晶パネル 1 を駆動させるドライバチップとしての LSI チップ 6 を配線板 5 との間に搭載した COG 実装構造の従来例を示す平面図と斜視図である。液晶が封入された液晶パネル 1 の上下基板 2、3 の対向面には ITO 等の透明電極が形成され、この透明電極からの引き回し配線 4 が下基板 3 の実装部 3A に導出され、その引き回し配線 4 を LSI チップ 6 に接続させている。通常の LSI チップ 6 では、図 6 に示すように、矩形の四方向へ電極端子

の端子群 6a ~ 6d が形成されている。それら四方に配列された横列の一つの端子群 6a に上記引き回し配線 4 が接続され、横列の他の一つで配線板 5 に対応する側の端子群 6b の幾つかを電源電圧と駆動入力信号の各入力端子に利用し、両端子をリード線 7a、7b で配線板 5 側の端子 (図示せず) に接続している。また、左右縦列の端子群 6c、6d を利用してデータ信号電極と駆動信号電極のリード線 8a、8b が配線されている。

【0003】

【発明が解決しようとする課題】 ところで、上記のように COG 技術を例にした従来の実装構造では、図 6 のように、通常矩形の四方向に端子群 6a ~ 6d が配列された LSI チップ 6 を用いていることから、次のような問題がある。すなわち、四方向に配列された端子群 6a ~ 6d のうち、配線板 5 に対応した一つの横列端子群 6b は、通常電源電圧と駆動入力信号の両入力端子に利用される。したがって、それら各入力端子のリード線 7a、7b を配線板 5 と LSI チップ 6 との間に配線するには、最低でも符号 w で表す距離を設ける必要がある。この距離 w を設けることによって、それだけ長くデータ信号電極と駆動信号電極の各リード線 8a、8b を引き回して配線しなければならない。その結果、大きな搭載スペースを見込み、液晶パネル 1 の下基板 3 では図中符号 W₁ で示す範囲の実装部 3A を総体に大きく設定する必要が生じ、その分、液晶パネル 1 や機器全体のサイズが大型化する不都合がある。またさらに、配線板 5 と LSI チップ 6 との間に距離 w₁ を設けて、電源電圧と駆動入力信号の各入力端子のリード線 7a、7b が長くなればなるほど、両電圧配線において特性インピーダンスと同様に考えることができる配線抵抗の増大につながる不具合がある。したがって、この発明は、IC、LSI チップやフレキシブルプリント配線板など数種の電子部品の実装スペースの必要最小限に抑えることで機器の大型化を防ぎ、また電源電圧と駆動入力信号の両配線抵抗を低減させて機器性能を高めることができる表示パネルの実装構造を提供することを目的としている。

【0004】

【課題を解決するための手段】 上記目的を達成するために、この発明による表示パネルの実装構造は、上下一対の基板からなる表示パネルと、電源電圧と駆動入力信号から表示駆動信号を生成して、前記表示パネルに出力することによって表示駆動する矩形の半導体チップと、前記表示パネルと前記半導体チップを搭載する基板と、前記半導体チップに前記電源電圧と前記駆動入力信号を供給する配線板と、を備えたもので、前記半導体チップは、前記基板の側縁部に面した側は端子部を有せず、他の 3 辺は端子部を有し、前記配線板の前記基板との接合部は凹部を形成するとともに、前記半導体チップの形状の少なくとも一部は前記凹部内に入り込むように配置され、前記半導体チップの電源端子は前記配線板の両側面

のいずれかの位置に設けて前記配線板と配線している。
この発明の表示パネルの実装構造では、前記 3 辺に端子部が配列された前記半導体チップの相対向する 2 辺のそれぞれの端子部に対し、前記配線板から前記電源電圧と前記駆動入力信号が供給され、前記半導体チップは少なくとも前記端子部に配列しない辺に相対向する側に配列された端子部から、前記表示パネルへ前記表示駆動信号を出力するようになっている。また、この発明の表示パネルの実装構造では、前記表示パネルは液晶パネルであり、かつ前記配線板はフレキシブルプリント配線板であって、前記液晶パネルの上基板よりも大きくした部分に、前記半導体チップおよび前記フレキシブルプリント配線板を搭載することができる。

【0005】

【作用】例えば、フレキシブルプリント配線板のごとき配線板に凹部に、LSI チップ等の半導体チップの一部を食い込ませる形で係入させているので、その係入寸法分だけ両部品間の距離が短縮され、それだけ両部品の実装スペースが削減されて、液晶パネルのごとき表示パネルに設けられる実装部の大きさを縮小でき、機器全体の大型化が抑えられる。また、フレキシブルプリント配線板と LSI チップとの部品間距離の短縮または皆無とすることで、通常そこに設けられる電源電圧と駆動入力信号の各端子配線長さが最短で済み、電圧配線抵抗が低減する。

【0006】

【実施例】以下、この発明による表示パネルの実装構造の実施例について図を参照しつつ説明する。図 1 および図 2 は、実施例による実装構造の平面図とその斜視図を示し、図 3 はその実装構造に用いられる LSI チップを示す斜視図である。この発明でいう要旨は、表示パネルである例えば液晶パネル 10 では、この液晶パネル 10 の上基板 11 よりも大きく形成された下基板 12 の実装部 12A に、半導体チップとして例えば LSI チップ 20 が搭載される。LSI チップ 20 は、電極端子の配列がこれまで慣用されてきたチップと異なって三方コ字形に配列され、矩形状の横辺の一つに沿って横列端子群（端子部）21 と、左右両側の縦辺に沿って左右の縦列端子群（端子部）22、23 とからなっている。

【0007】また、配線板 30 は液晶パネル 10 に熱圧着などにより搭載され、LSI チップ 20 に臨む前部に凹部 31 が形成されている。この凹部 31 で LSI チップ 20 の一部を、端子列を有しない他の一つの横辺 24 方向から抱き込んで係入できるようになっている。係入部では、LSI チップ 20 の左右の縦列端子群 22、23 のうち、凹部 31 の両端部内側面 32a、33a に最近接した端子 22a、23a を電源電圧の入力端子と駆動入力信号の端子に利用し、最短リード線 14、15 によって配線板 30 側の端子端子（図示せず）に接続している。したがって、相対向する左右の縦列端子群 22、

23 に対しては配線板 30 から電源電圧と駆動入力信号が供給され、LSI チップ 20 は端子群を配列しない残りの一辺に相対向する側に配列され端子群から、つまり横列端子群 21 から液晶パネル 10 に電源電圧と駆動入力信号により生成された表示駆動信号を出力できるようになっている。

【0008】図 1 および図 2 のように、液晶表示装置（LCD）の液晶パネル 10 は、液晶を封入した対向一对の上下基板 11、12 等からなっていて、基板対向面には ITO 等の透明電極が形成されている。上基板 11 よりも大きい部分の下基板 12 は実装部 12A となっていて、ここには透明電極から複数本の引き回し配線 13 が導出されている。実装部 12A には液晶パネル 10 を駆動させる LSI チップ 20 が圧着などにより搭載され、この横辺の一つに沿って配列された横列端子群 21 を利用してパネル電極の引き回し配線 13 を接続させている。LSI チップ 20 は TAB 技術などでも実装することができる。

【0009】また、配線板 30 は、その前部の凹部 31 を形成する開先の両端部 32、33 で液晶パネル 10 の実装部 12A に熱圧着ヘッドなどで圧着して搭載される。凹部 31 は、LSI チップ 20 を端子列を有しない他の一つの横辺 24 方向から辺長一杯に抱き込める大きさに形成してある。すなわち、LSI チップ 20 の一部を配線板 30 の凹部 31 に係入させたことにより、対向する LSI チップ 20 の横辺 24 と配線板 30 の前部との間の距離は皆無もしくは短縮され、図 4 の従来構造で示された w を見込んで設ける必要はなくなる。その分、液晶パネル 10 では、下基板 12 の実装部 12A は符号 W₂ で示す方向へ短縮される。つまり、図 4 の従来構造の下基板 3 における符号 W₁ で示す範囲の実装スペースと比較すると、W₁ > W₂ であって、本実施例では下基板 12 の実装部 12A が大幅に減縮される。

【0010】上記のように、LSI チップ 20 と配線板 30 との間の距離が皆無もしくは短縮されることで、次のように最短で電源電圧と駆動入力信号の各配線が可能になる。LSI チップ 20 の左右の縦列端子群 22、23 のうち各 1 個の端子 22a、23a が電源電圧と駆動入力信号の各入力端子に利用される。それら入力端子用の端子 22a、23a は配線板 30 の凹部 31 の両端部の内側面 32a、33a に最近接したものである。こうした最接近距離で LSI チップ 20 側の電源電圧、駆動入力信号の入力端子 22a、23a を最短長さのリード線 14、15 によって配線板 30 側の端子に導電接続できる。

【0011】ここで、電源電圧と駆動入力信号の各入力用のリード線 14、15 の長さが最短もしくは皆無になるということは、それらの配線抵抗もしくは等価の電圧特性インピーダンスを低減できることであり、特に液晶パネル 10 の場合は LCD として利用されるときの高表

示品位を維持する重要な意味をもつ。

【0012】またさらに、LSIチップ20と配線板30との間の距離を皆無もしくは最短化することによって、配線板30の凹部31の両端部32、33とLSIチップ20の左右の縦列端子群22、23との間に配線されるデータ信号電極用、駆動信号電極用の各リード線16、17の長さも最短で済む。

【0013】この発明では、上記実施例のように、LSIチップ20の端子配列を三方コ字形とし、端子配列のないそのうちの一边をフレキシブルプリント配線板30の前部の凹部31に臨ませたことを要旨としている。したがって、凹部31のごときLSIチップ係入部を設けることが可能な大きさや形状を有する電子部品であれば、フレキシブルプリント配線板30の他にも適用可能である。

【0014】

【発明の効果】以上説明したように、この発明による表示パネルの実装構造は、フレキシブルプリント配線板のごとき配線板の前部に設けた凹部に、LSIチップのごとき半導体チップの一部を食い込ませる形で係入させているので、その係入寸法分だけ両部品間の距離が短縮され、それだけ両部品の実装スペースが削減されて、液晶パネルのごとき表示パネルに設けられる実装部の大きさを縮小でき、機器全体の大型化を抑えることができ、また、フレキシブルプリント配線板とLSIチップとの部品間距離の短縮または皆無とすることで、通常そこに設けられる電源電圧と駆動入力信号の各入力端子の各配線長さが最短で済み、電圧配線抵抗が低減するので、液晶パネルなどでは例えば高表示品位が保証されるなど、所要の性能を確保して機器の信頼性を高める利点がある。

【図面の簡単な説明】

【図1】この発明による実施例の表示パネルの実装構造を示す組立平面図。

【図2】実施例の表示パネルの実装構造を示す組立斜視図。

【図3】実施例に用いられた端子三方コ字形配列によるLSIチップの斜視図。

【図4】従来例の表示パネルの実装構造を示す組立平面図。

【図5】従来例の表示パネルの実装構造を示す組立斜視図。

【図6】従来より慣用されてきた端子四方コ字形によるLSIチップの斜視図。

【符号の説明】

10 液晶パネル（表示パネル）

12 下基板

12A 下基板の実装部

13 パネル側電極引き回し配線

14 電源電圧の入力用リード線

15 駆動入力信号の入力用リード線

16 データ信号電極用リード線

17 駆動信号電極用リード線

20 LSIチップ（半導体チップ）

21 横列端子群

22、23 左右の縦列端子群

22a、23a 電源電圧と駆動入力信号の各入力端子

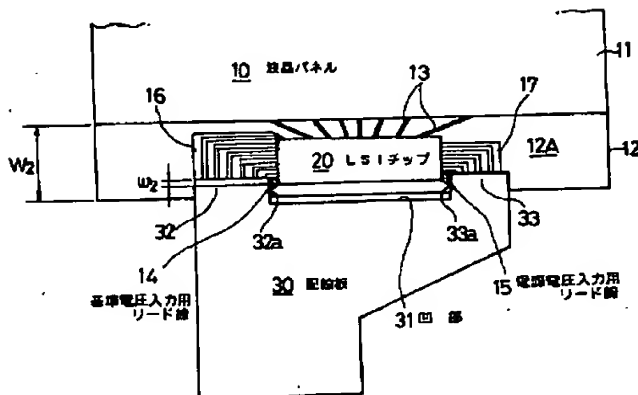
24 端子配列なしのチップ横辺

30 フレキシブルプリント配線板（配線板）

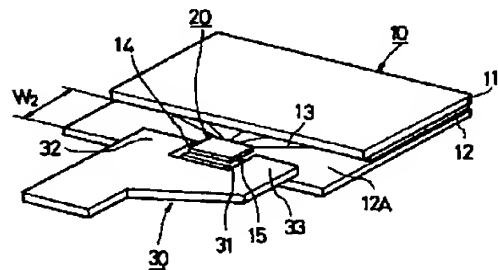
31 凹部

32a、33a 凹部両端部の内側面

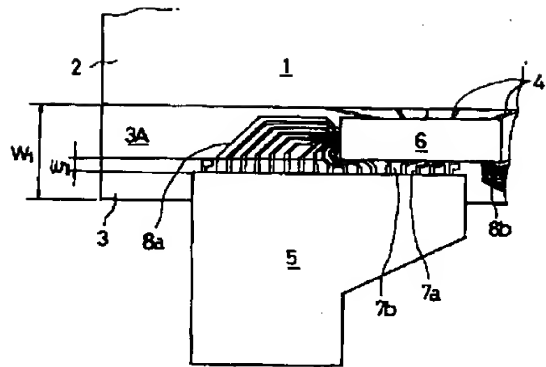
【図1】



【図2】



【図4】



【图 6】

